

ANSWER 1 OF 1 JAPIO COPYRIGHT 2000 JPO
 AN 1982-004560 JAPIO
 TI TESTING METHOD OF MOS INTEGRATED CIRCUIT
 IN TERASAKA KATSUMI; TSUJII YUZO
 PA MATSUSHITA ELECTRIC IND CO LTD, JP (CO 000582)
 PI JP 57004560 A 19820111 Showa
 AI JP1980-78603 (JP55078603 Showa) 19800610
 SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: P, Sect.
 No. 111, Vol. 6, No. 621, P. 117 (19820421)
 IC ICM (3) G01R031-26
 ICA (3) H01L021-66; (3) H01L029-76
 AB PURPOSE: To detect the fault in the MOS type integrated circuit being under the life test, by comparing the consumed current measured by a voltage which varies stepwise during the test and the consumption current before the test.
 CONSTITUTION: The MOS type integrated circuit 1 to be tested is connected to a current device 3 which generates a step shaped voltage via a current measuring device 2 for measuring the consumption current. Every time a clock signal comes from a clock signal generator 4, the consumption current of the integrated circuit 1 is measured at each step of the step shaped voltage. By the operation of a switch 7 the measured value before the test is stored in a first memory 8, and the measured value during the test is stored in a second memory 9. Then, the contents of the memories 8 and 9 are read out and applied on a comparator 14. Thus the values of the consumption current at the same step of the step shaped voltage are compared, and the output is generated by the comparator 14 when the measured value is changed. In this way the integrated circuit can be tested by a simpl

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—4560

⑬ Int. Cl.³
G 01 R 31/26
// H 01 L 21/66
29/76

識別記号

庁内整理番号
7359—2G
6851—5F
6603—5F

⑭ 公開 昭和57年(1982)1月11日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ MOS型集積回路の検査方法

⑯ 発明者 辻井裕三

門真市大字門真1006番地松下電
器産業株式会社内

⑰ 特 願 昭55—78603

⑱ 出 願 昭55(1980)6月10日

⑲ 出 願 人 松下電器産業株式会社

⑳ 発 明 者 寺坂克己

門真市大字門真1006番地

門真市大字門真1006番地松下電
器産業株式会社内

㉑ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

MOS型集積回路の検査方法

2、特許請求の範囲

MOS型集積回路の電源端子を、電流測定装置を通じて階段状電圧を発生する電源装置に接続し、前記電流測定装置による測定値を所定の時間間隔でメモリーに貯え、異なった時間に測定した電流測定値を比較器で比較することを特徴とするMOS型集積回路の検査方法。

3、発明の詳細な説明

本発明は、MOS型集積回路の不良を検出するためのMOS型集積回路の検査方法に関するものである。

MOS型集積回路では、集積回路の構成要素であるMOS型電界効果トランジスタ(以下MOS型FETと称す)のゲート部分の酸化膜中に存在するイオンが、長期間の使用中にシリコン表面に移動し、FETのしきい値電圧を、大幅に変化させる。このため、FETを構成要素とするMOS

型集積回路の目的とする機能を果たさなくなり、そのMOS集積回路を使用した機器に故障を発生させる。

したがって、MOS型集積回路が、長期間の使用中に、目的とする機能を果たさなくなるかどうかは、非常に重大な問題であり、MOS型集積回路を使用する場合には、試料を抽出して寿命試験を行い、それが不良になるかどうかを検討している。しかしながら、MOS型集積回路の集積度が大きくなり、複雑化してくると、それが機能を十分に果たしているかどうか検討するためには、極大なロジック信号を発生し、それを試験するデバイスに投入した場合の出力信号が正しいかどうか、参照信号と比較できるような装置を必要とし、非常に高価なテスターが必要になる。また、複雑な機能をすべて検討するためには、入力信号の選び方、入力信号を投入した場合の出力信号がどうか等の検討が必要となり、テスターを使用するための準備もまた、極大なものとなる。

本発明は、MOS集積回路の長期使用中の不良

の発生の有無を、簡便に検出することのできる方法装置を提供しようとするものである。

上述のMOS型FETのゲート部分の酸化膜中に存在するイオンが長期間の使用中に、シリコン表面に移動し、FETを構成要素とするMOS集積回路の目的とする機能を果たさなくなるものを、解析した結果、一様に目的とする機能を十分果たすために必要とする電源電圧が使用開始前と大きく変化し、かつ、その動作時の電圧における消費電流が大きく変化している。

一方、長時間の使用によっても、目的とする機能を十分果たしているものについては、目的とする機能を十分果たすために必要とする電源電圧が、使用開始前とほとんど変化せず、動作時の消費電流もほとんど変化しない。

したがって、寿命試験の開始前および寿命試験中の、目的とする機能を十分果たすために必要とする電圧における消費電流を測定し、比較すれば、長期間の使用によって目的とする機能を果たさなくなるものを検出することができる。

切替え、また、電流測定装置2がそれに同期して電流を測定する。すなわち、同期信号が来る度に、階段状電圧の各ステップでMOS型集積回路1に流れる消費電流が測定される。電流測定装置2の出力は、A/D変換器5、並列-直列信号変換器6、切替えスイッチ7を通じて、第1メモリ8、または第2メモリ9に印加される。切替えスイッチ7は試験開始前では第1メモリ8側に、また試験中には第2メモリ9側にそれぞれ接続される。したがって、試験開始前の消費電流測定値は第1メモリ8に貯えられ、試験中の消費電流測定値は第2メモリ9に貯えられる。

メモリ8、9は、それぞれ、直列-並列信号変換器10、11を通して、D/A変換器12、13に接続され、それらの出力が比較器14に印加される。そして、比較器14の出力がたとえばランプ15に印加される。

並列-直列信号変換器6、第1メモリ8、第2メモリ9および直列-並列信号変換器10、11は、書き込み、読み出し制御装置16に接続され

しかしながら、目的とする機能を充分果たすために必要とする電源電圧を知るためには、テスターによるファンクションテストを行う必要があり、集積度の大きなものでは、巨大なテスターを必要とする。このため、試験する集積回路の電源電圧を動作しない程度の電圧から段階的に上げて行き、その各ステップでの電流を測定し、試験前と、試験中の同じステップでの消費電流を比較することにより、目的とする機能を果たすのに必要な電圧の変化および消費電流の変化を知ることができ、したがって、長期間の使用の中に、目的とする機能を十分果たさなくなる素子を検出することができる。

以下その一実施例について図面を用いて説明する。

試験されるMOS型集積回路1は消費電流を測定するための電流測定装置2を通して階段状の電圧を発生する電源装置3に接続されている。電源装置3および電流測定装置2にはクロック信号発生装置4より同期信号3が階段状電圧のレベルを

であり、電流測定装置のメモリ8、9への書き込みおよび、メモリ8、9からの読み出しのタイミングを制御している。メモリ8、9に貯えられた電流測定値は、書き込み、読み出し制御装置16によって完全に同期して、それぞれ、直列-並列信号変換器10、11、D/A変換器12、13を通り、比較器14に印加される。

したがって、MOS型集積回路1に印加される階段状電圧の同一ステップでの消費電流の測定値が、同時に比較器14の入力端に印加されるため同じステップで電圧での消費電流が異なったときのみ、比較器14が出力を発生し、その結果をランプ15で表示する。すなわち、同じステップ電圧での消費電流が試験中に変化した場合に、ランプ15によって表示される。

このように、本発明によれば、簡単な構成でMOS型集積回路の良否を容易に検査することができ、その効用は大きい。

4. 図面の簡単な説明

図は本発明の方法の一実施例を具体化したMOS

7

S 型集積回路の検基装置の構成を示すものである。

1 ……試験されるMOS型集積回路、2 ……電
流測定装置、3 ……電源装置、4 ……クロック発
生装置、5 ……A/D変換器、6 ……並列-直列
信号変換器、7 ……切替スイッチ、8 ……第1
メモリー、9 ……第2メモリー、10、11 ……
直列-並列信号変換器、12、13 ……D/A変
換器、14 ……比較器、15 ……ランプ、16 ……
…書き込み・読出し制御装置。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

